



УТВЕРЖДАЮ:

Проректор по научно-педагогической работе

А.Б. Бирюков

(подпись)

« 26 » мая 20 20 года

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

Б1.Б9 Технологии проектирования и тестирования цифровых устройств КС на базе HDL

Направление подготовки: 09.04.01 Информатика и вычислительная техника
(код и наименование направления / специальности)

Магистерская программа: «Вычислительные машины, комплексы, системы и сети (КС)»,
«Программное обеспечение средств вычислительной техники (ПОВТ)»,
«Автоматизированные системы управления»
(наименование профиля / магистерской программы / специализации)

Программа: магистратура
(бакалавриат, магистратура, специалитет)

Форма обучения: Очная, заочная
(очная, заочная, очно-заочная)

Форма обучения:	Очная	Заочная
Семестр(ы)	1	1
Общая трудоёмкость в з.е./часах	5/180	5/180
Контактная работа (час.), в том числе:	68	12
лекции (час.)	34	6
лабораторные работы (час.)	34	6
практические (семинарские) занятия (час.)		
Самостоятельная работа (час.), в том числе:	112	168
курсовой проект (работа) (семестр/час.)		
индивидуальное задание (кол./час.)		1/84
Контроль (экзамен, час./зачёт)	зачёт	зачёт

Донецк, 2020

Рабочая программа дисциплины «Технологии проектирования и тестирования цифровых устройств КС на базе HDL» составлена в соответствии с учебными планами по направлению подготовки 09.04.01 Информатика и вычислительная техника (магистерская программа – «Вычислительные машины, комплексы, системы и сети (КС)», «Программное обеспечение средств вычислительной техники» и «Автоматизированные системы управления») для 2020 года приёма очной и заочной форм обучения.

Составитель:

Доцент кафедры компьютерной инженерии  Зинченко Ю.Е.

Рабочая программа **рассмотрена и принята** на заседании кафедры «Компьютерная инженерия».

Протокол от «__» _____ 20__ года № ____.

Заведующий кафедрой  Аноприенко А.Я.
(подпись) (Ф.И.О.)

Рабочая программа **согласована с выпускающей кафедрой** «Автоматизированные системы управления».

Заведующий кафедрой АСУ  к.т.н., проф. Секирин А.И.

Рабочая программа **одобрена учебно-методической комиссией** ГОУВПО «ДОННТУ» по направлению подготовки 09.04.01 Информатика и вычислительная техника

Протокол от 21 мая 2020 года № 6

Председатель  Аноприенко А.Я.
(подпись) (Ф.И.О.)

1 ОБЪЕКТ, ЦЕЛЬ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины "Технологии проектирования и тестирования цифровых устройств на базе HDL" является ознакомление студентов с принципами и методами разработки и тестирования цифровых устройств (ЦУ) КС на основе языков описания, программирования и моделирования аппаратуры.

В результате освоения дисциплины студент должен:

знать:

- методы управления проектами; этапы жизненного цикла проекта в области HDL-технологий проектирования и тестирования ЦУ;
- методы управления проектами; этапы жизненного цикла проекта в области HDL-технологий проектирования и тестирования ЦУ;
- современное программное и аппаратное обеспечение информационных и автоматизированных систем в области HDL-технологий проектирования и тестирования ЦУ;
- аппаратные средства и платформы инфраструктуры информационных технологий, виды, назначение, архитектуру, методы разработки и администрирования программно-аппаратных комплексов объекта профессиональной деятельности в области HDL-технологий проектирования и тестирования ЦУ;
- функциональные требования к прикладному программному обеспечению для решения актуальных задач предприятий отрасли, национальные стандарты обработки информации и автоматизированного проектирования в области HDL-технологий проектирования и тестирования ЦУ.

уметь:

- разрабатывать и анализировать альтернативные варианты проектов для достижения намеченных результатов; разрабатывать проекты, определять целевые этапы и основные направления работ в области HDL-технологий проектирования и тестирования ЦУ;
- обосновывать выбор современных информационно-коммуникационных и интеллектуальных технологий, разрабатывать оригинальные программные средства для решения профессиональных задач в области HDL-технологий проектирования и тестирования ЦУ;
- разрабатывать программное и аппаратное обеспечение информационных и автоматизированных систем для решения профессиональных задач в области HDL-технологий проектирования и тестирования ЦУ;
- анализировать техническое задание, разрабатывать и оптимизировать программный код для решения задач обработки информации и автоматизированного проектирования в области HDL-технологий проектирования и тестирования ЦУ;
- приводить зарубежные комплексы обработки информации в соответствии с национальными стандартами, интегрировать с отраслевыми информационными системами в области HDL-технологий проектирования и тестирования ЦУ.

владеть:

- навыками разработки проектов в области HDL-технологий проектирования и тестирования ЦУ; методами оценки эффективности проекта, а также потребности в ресурсах;
- методами разработки оригинальных программных средств, в том числе с использованием современных информационно-коммуникационных и интеллектуальных технологий, для решения профессиональных задач в области HDL-технологий проектирования и тестирования ЦУ;
- методами модернизации программного и аппаратного обеспечения информационных и автоматизированных систем для решения профессиональных задач в области HDL-технологий проектирования и тестирования ЦУ;
- методами составления технической документации по использованию и настройке компонентов программно-аппаратного комплекса в области HDL-технологий проектирования и тестирования ЦУ;
- методами настройки интерфейса, разработки пользовательских шаблонов, подключения библиотек, добавления новых функций в области HDL-технологий проектирования и тестирования ЦУ.

Перечисленные результаты обучения являются основой для формирования следующих компетенций:

- способность управлять проектом на всех этапах его жизненного цикла (УК-2);
- способность разрабатывать оригинальные алгоритмы и программные средства, в том числе с использованием современных интеллектуальных технологий, для решения профессиональных задач (ОПК-2);
- способность разрабатывать и модернизировать программное и аппаратное обеспечение информационных и автоматизированных систем (ОПК-5);
- способность разрабатывать компоненты программно-аппаратных комплексов обработки информации и автоматизированного проектирования (ОПК-6);
- способность адаптировать зарубежные комплексы обработки информации и автоматизированного проектирования к нуждам отечественных предприятий (ОПК-7).

2 МЕСТО ДИСЦИПЛИНЫ В ОСНОВНОЙ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЕ

Дисциплина относится к части, Блока 1 «Дисциплины (модули). Обязательная часть» учебного плана.

Базируется на знаниях, умениях и навыках, которые студент приобрел при освоении дисциплин программы бакалавриата.

Знания и умения, приобретенные при освоении данной дисциплины, реализуются студентом также при прохождении учебной и производственной практики, НИРС и выполнении магистерской работы.

3 СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

3.1 Распределение учебных часов по темам дисциплины и видам занятий

Наименование тем (содержательных модулей)	Количество часов (очная/заочная форма)			
	Всего	В том числе		
		Лекции	Лабор.	СР
Тема 1. ПЛИС и ЯОА	3/6,5	1/0,5		2/6
Тема 2. Концепция сигнала и процесса в VHDL	8/9	2/1	1	2/6
Тема 3. Концепция сигнала в VHDL	4/6,5	1/0,5	1	2/6
Тема 3. Моделирование задержек сигнала	7/8,5	1/0,5	2/1	4/7
Тема 4. Поточковый стиль моделирования ЦУ на VHDL	8/8,5	2/0,5	2/1	4/7
Тема 6. Блоки и охранные сигналы в VHDL	6/7	2		4/7
Тема 5. Структурный стиль моделирования ЦУ на VHDL	22/18,5	4/1	4/1,5	14/15
Тема 6. Тестирование VHDL-моделей ЦУ на базе ТБГ	22/18,5	2/1	4/1	14/15
Тема 7. Поведенческий стиль моделирования ЦУ на VHDL	22/18,5	4/1	4/1,5	14/15
Тема 10. Переменные и сигналы в процессе	8/7,5	2/0,5	2	4/7
Тема 11. Операторы управления	12/14	2	2	8/14
Тема 8. Подпрограммы в моделях ЦУ на VHDL	14/12	2	2	10/12
Тема 9. Объекты и типы данных в моделях ЦУ на VHDL	10/10	2		8/10
Тема 14. Дискретные данные в моделях ЦУ на VHDL	10/8	2	2	6/8
Тема 15. Композитные типы данных в моделях ЦУ на VHDL	10/8	2	2	6/8
Тема 10. Операции в моделях ЦУ на VHDL	12/10	2	2	8/10
Тема 17. Сочетание схемотехнического, автоматного и языкового подходов проектирования ЦУ КС	8/6	2	4	2/6
Индивидуальное задание	0/9			0/9
Курсовой проект	0/0			
Итого по видам занятий	180/180	34/6	34/6	112/168
Контроль	0/0			
Итого:	180/180			

Формирование компетенций в результате освоения тем дисциплины

Компетенции	Темы дисциплины, нацеленные на формирование компетенции
УК-2	Темы 5,7-9
ОПК-2	Темы 1-4,10-16
ОПК-5	Темы 5-9,17
ОПК-6	Темы 13-15
ОПК-7	Темы 17

3.2 Лекции

Тема 1. *ПЛИС и ЯОА.*

Содержание темы 1:

Классификация БИС. Стандартные и специализированные БИС. Программируемые логические интегральные схемы (ПЛИС). Классификация ПЛИС. FPGA и CPLD. ЯОА (HDL) - языки описания аппаратуры. Классификация МОА. Стандарты IEEE на МОА. VHDL, Verilog-HDL и Altera-HDL, их характеристика и история создания. Функции ЯОА. HDL&FPGA-технологии проектирования цифровых устройств и систем. Основные этапы проектирования. поведенческое моделирование, синтез и реализация проектов на ПЛИС. Отладка проектов и тест-бенч-генераторы. Фирмы-изготовители ПЛИС и фирмы-разработчики САПР вычислительной техники (ВТ). Процесс проектирования КС на базе HDL & FPGA-технологий.

Литература к теме 1: [1-7]

Тема 2. *Концепция процесса в VHDL.*

Содержание темы 2:

Процессы и их взаимодействие. Список чувствительности процесса. Сигнал как частный случай процесса. Итерации и циклы, итерационный алгоритм работы VHDL-программы. Физическое время и Δ -задержка. Моделирование процессов без и с учетом задержек. Стадии процессов.

Литература к теме 2 : [1-7]

Тема 3. *Концепция сигнала в VHDL.*

Содержание темы 3:

Разновидности сигналов и их описание. Драйвер сигнала. Многозначная логика. 9-тизначный логика и функция разрешения сигнала, заложенная в пакете SDT_logic_1164. Разрешенная (resolved) и неразрешенная (unresolved) логика. Отключение драйвера. Программирование 3-х стабильных, двунаправленных цепей. Зона действия сигналов. Отличие сигнала от переменной.

Литература к теме 3: : [1-7]

Тема 4. *Моделирование задержек сигнала.*

Содержание темы 4:

Типы задержек сигнала. Задание значения сигнала и разновидности задержек сигнала. Транспортная, инерционная и инерционная с фильтрацией разновидности задержек. Особенности формирования драйверов сигнала. Обусловленные атрибуты сигнала. Параллельный и последовательный разновидности простого оператора назначения сигнала (Simple_SA), особенности их работы и отличие.

Особенности формирования драйвера сигнала в процессе. Изначально заданные атрибуты сигнала.

Литература к теме 4: [\[1-7\]](#)

Тема 5. *Потоковый стиль моделирования ЦУ на VHDL.*

Содержание темы 5:

Уровни моделирования и области проектирования. Модель Гайского и Кана (Gajski и Kuhn). Архитектурно-ориентированные и МОА-ориентированные формы изображения проектов. Стили VHDL-программирования. Управляющий граф, граф данных и смешанный граф изображения проектов. Потоковый стиль и его отличие от других стилей. Граф данных как формальное изображение проекта при потоковом стиле. Последовательный и параллельные операторы назначения сигнала. Взаимосвязь операторов назначения сигнала с последовательными операторами управления.

Литература к теме 5: [\[1-3\]](#)

Тема 6. *Блоки и охранные сигналы в VHDL.*

Содержание темы 6:

Определение блока. Назначение и область действия блоков. Блоки и охранные сигналы. Структура поточной VHDL-программы в общем виде. Формальные признаки отличия потокового стиля от других стилей.

Литература к теме 6: [\[1-3\]](#)

Тема 7. *Структурный стиль моделирования ЦУ на VHDL.*

Содержание темы 7:

Структурный стиль и его отличие от других стилей. Схемные элементы и компоненты. Описание и использование компонентов. Оператор вхождения компонента (port map). Способы конфигурации устройства. Конфигурация по умолчанию. Использование пакетов при описании компонент. Конфигурация с использованием оператора спецификации конфигурации (for use). Программирование регулярных структур с использованием оператора generate. Разновидности оператора generate. Конфигурация проекта с использованием конструкции configuration. Параметризация проекта. Способы параметризации. Параметризация с использованием операторов port map и generic map. Синтаксис оператора port map в общем виде. Параметризация с использованием оператора for use. Синтаксис оператора for use в общем виде. Шаблон структурной VHDL-программы в общем виде. Формальные признаки отличия структурного стиля от других стилей.

Литература к теме 7: [\[1-7\]](#)

Тема 8. *Отладка VHDL-моделей ЦУ на базе Testbench.*

Содержание темы 8:

Верификация проектов. Использование тестбенч-генератора (ТБГ) для верификации и отладки. Обобщенная структура ТБГ. Разновидности ТБГ. ТБГ типа on-line. ТБГ типа off-line. Адаптивный ТБГ. Способы генерации тестовых воздействий в ТБГ. Способы анализа тестовых реакций в ТБГ. Программирование ТБГ в VHDL. Использование ТБГ на этапах проектирования. Использование и разновидности ТБГ в САПР

Литература к теме 8: [\[4\]](#)

Тема 9. *Поведенческий стиль моделирования ЦУ на VHDL.*

Содержание темы 9:

Классификация VHDL-операторов по признаку параллелизма. Сравнительная характеристика последовательных и параллельных VHDL-операторов. Поведенческий стиль и его отличие от других стилей. Оператор процесса. Список чувствительности процесса и оператор wait. Разновидности оператора wait. Взаимодействие процессов. Структура поведенческой VHDL-программы. Пассивный процесс и структура entity. Формальные признаки отличия поведенческого стиля от других стилей.

Литература к теме 9: [\[1-7\]](#)

Тема 10. *Переменные и сигналы в процессе.*

Содержание темы 10:

Переменная в VHDL, ее описание и использование в VHDL. Локальная и глобальная (shared) переменная и зона их действия. Использование сигналов в процессе. Последовательный оператор назначения сигнала, его использование в процессе и отличие от параллельного аналога. Отличие переменных от сигналов.

Литература к теме 10: [\[1-7\]](#)

Тема 11. *Операторы управления.*

Содержание темы 11:

Последовательные операторы. Операторы управления. Аналоги операторов управления среди параллельных операторов.

Литература к теме 11: [\[1-7\]](#)

Тема 12. *Подпрограммы в моделях ЦУ на VHDL.*

Содержание темы 12:

Назначение подпрограмм. Функции и процедуры. Определение подпрограмм. Формальные и фактические параметры подпрограмм, их типы и значения по умолчанию. Переменная в подпрограмме и процессе. Тело подпрограмм. Декларация подпрограмм. Использование пакетов для декларации подпрограмм. Последовательные и параллельные подпрограммы, принцип и зона их действия. Функции типа перегрузки операторов. Зона действия подпрограмм. Последовательные и параллельные операторы вызова подпрограмм. Отличие функций от процедур.

Литература к теме 12: [\[1-7\]](#)

Тема 13. *Объекты и типы данных в моделях ЦУ на VHDL.*

Содержание темы 13:

Объекты данных. Имена в VHDL. Типы и подтипы данных. Декларация типов и подтипов. Пакеты и их части. Декларация констант и переменных в пакете. Декларация подпрограмм в пакете. Подключение пакетов. Пакет SDT_LOGIC_1164. Обусловленные и пользовательские типы данных.

Литература к теме 13: [\[1-7\]](#)

Тема 14. *Дискретные данные в моделях ЦУ на VHDL.*

Содержание темы 14:

Классификация данных VHDL. Дискретные данные. Целочисленные и вещественные числа. Положительные и натуральные числа. Целочисленные и действительные литералы. Задание системы счисления и диапазона целочисленного и действительного числа. Перечисленный тип. Числа с плавающей запятой. Физический тип данных в VHDL. Физический тип и допустимые операции над физическими данными. Тип time.

Литература к теме 14: [\[1-3\]](#)

Тема 15. *Композитные типы данных в моделях ЦУ на VHDL.*

Содержание темы 15:

Массивы. Задача размерности массива. Битовые и строчные массивы. Конструируемые массивы. Записи. Имена в VHDL: простое, индексное, селективное, врезка. Файлы.

Литература к теме 15: [\[1-3\]](#)

Тема 16. *Операции в моделях ЦУ на VHDL.*

Содержание темы 16:

Бинарные и унарные выражения. Знаковые и аддитивные операции. Мультипликативные и смешанные операции. Операции сравнения. Логические операции и операции сдвига. Функции в VHDL. Функции преобразования данных.

Литература к теме 16: [\[1-7\]](#)

3.3. Практические (семинарские) занятия.

Практические (семинарские) занятия в учебном плане не запланированы.

3.4. Лабораторные работы

№ п/п	Тема работы	Объем, час. очн/очн- заоч/заочн	Литера- тура
1	Разработка преобразователя кодов на VHDL	4/2	[8,10]
2	Моделирование VHDL-сигналов	2	[8,10]
3	Потоковый стиль VHDL-проектирования и моделирования комбинационных схем ЦУ	2	[8,10]
4	Программирование и моделирование триггерных и регистровых схем ЦУ на базе поведенческого стиля	6	[8,10]
5	Структурный стиль проектирования ЦУ на базе VHDL	6	[8,10]
6	Проектирование testbench-генератора на базе псевдослучайного тестирования	6	[8,10]
7	Программирование арифметических операций и преобразование типов данных в VHDL	4	[8,10]
8	Проектирование и моделирование арифметического устройства путем сочетания схемотехнического, автоматного и языкового подходов проектирования	4	[8,10]
Итого:		34/2	

3.5. Самостоятельная работа студента

№ п/п	Виды самостоятельной работы студента	Объем, час.
1	Изучение лекционного материала (не менее 50% от объема лекций)	66/82
2	Подготовка к практическим занятиям (не менее 50% от объема аудиторных практических занятий)	0/0
3	Подготовка к лабораторным работам (не менее 50% от объема аудиторных лабораторных занятий)	66/77
4	Выполнение курсового проекта (работы)	0/0
5	Выполнение индивидуального задания	0/9

3.6. Курсовой проект (работа), индивидуальное задание

Курсовой проект (работа) и индивидуальные задания для очной формы обучения по дисциплине учебным планом не предусмотрены.

Для студентов заочной формы обучения предусмотрено выполнение контрольной работы по форме **индивидуального задания**.

Тематика работы связана с разработкой онтологической модели в автоматизированной среде проектирования, созданием классов и экземпляров классов, а также выполнением запросов к полученной модели с целью извлечения содержащихся в ней знаний. Выполняется в соответствии с [9].

В результате выполнения работы студент должен:

- знать методику программирования и моделирования схем ЦУ на базе поведенческого стиля;
- уметь программировать арифметические операции и преобразовывать типы данных в VHDL;
- владеть навыками проектирования и моделирования арифметического устройства путем сочетания схемотехнического, автоматного и языкового подходов проектирования.

Объем учебной нагрузки при выполнении контрольной работы – 9 часов.

Рекомендуемый объем пояснительной записки по контрольной работе – не более 12 страниц формата А4 (210·297 мм).

4 ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

4.1 Критерии и шкалы для интегрированной оценки уровня сформированности компетенций

Составляющая компетенции – полнота знаний:

- нулевой уровень: неверные, не аргументированные, с множеством грубых ошибок выполнение лабораторной работы и ответы на вопросы. Уровень знаний ниже минимальных требований;
- минимальный уровень: лабораторная работа выполнена не полностью, по работе даны не полные, неточные и неаргументированные ответы на вопросы. Допущено много грубых ошибок. Уровень знаний ниже минимальных требований;
- пороговый уровень: лабораторная работа выполнена не полностью, даны недостаточно полные, точные и аргументированные ответы на вопросы. Плохо знает термины, определения и понятия; основные закономерности, соотношения, принципы. Допущено много негрубых ошибок;
- средний уровень: лабораторная работа выполнена практически полностью, даны достаточно полные, точные и аргументированные ответы на вопросы. В целом знает термины, определения и понятия; основные закономерности, соотношения, принципы. Допущено несколько негрубых ошибок;
- продвинутый уровень: лабораторная работа выполнена практически полностью, даны полные, точные и аргументированные ответы на вопросы. Знает термины,

определения и понятия; основные закономерности, соотношения, принципы. Допущено несколько негрубых ошибок;

- высокий уровень: лабораторная работа выполнена полностью, даны полные, точные и аргументированные ответы на вопросы. Знает термины, определения и понятия; основные закономерности, соотношения, принципы. Допущено несколько неточностей.

Составляющая компетенции – умения:

- нулевой уровень: полное отсутствие понимания сути и методики решения лабораторной работы, допущено множество грубейших ошибок, задания не выполнены вообще;
- минимальный уровень: слабое понимание сути и методики решения лабораторной работы, допущены грубые ошибки. Решения не обоснованы. Не умеет использовать нормативно-техническую литературу;
- пороговый уровень: достаточное понимание сути и методики решения лабораторной работы, допущены ошибки. Решения не всегда обоснованы. Умеет использовать нормативно-техническую литературу. Слабо ориентируется в специальной научной литературе;
- средний уровень: в целом понимает суть и методику решения лабораторной работы, допущены ошибки. Решения не всегда обоснованы. Умеет использовать нормативно-техническую и специальную научную литературу;
- продвинутый уровень: в целом понимает суть и методику решения лабораторной работы, допущены неточности. Способен обосновать решения. Умеет использовать нормативно-техническую и специальную научную литературу;
- высокий уровень: понимает суть и методику решения лабораторной работы. Способен обосновать решения. Умеет использовать нормативно-техническую и специальную научную литературу, передовой производственный опыт.

Составляющая компетенции – владение навыками:

- нулевой уровень: не демонстрирует владение навыками выполнения профессиональных задач. Не может выполнить задания;
- минимальный уровень: не демонстрирует владение навыками выполнения профессиональных задач. Испытывает существенные трудности при выполнении отдельных заданий;
- пороговый уровень: владеет навыками выполнения профессиональных задач на пороговом уровне. Задания выполняет медленно и некачественно;
- средний уровень: владеет навыками выполнения профессиональных задач. Задания выполняет на среднем уровне по скорости и качеству;
- продвинутый уровень: владеет уверенными навыками выполнения профессиональных задач. Быстро и качественно выполняет задания, иногда допуская незначительные погрешности;
- высокий уровень: владеет уверенными навыками выполнения профессиональных задач. Быстро и качественно выполняет задания, при необходимости демонстрируя творческий подход.

Обобщенная оценка сформированности компетенций:

- нулевой уровень: на нулевом уровне сформированы: все составляющие; одна или две из трёх, остальные – на более высоком уровне;
- минимальный уровень: на минимальном уровне сформированы: все составляющие; одна или две из трёх, остальные – на более высоком уровне;
- пороговый уровень: на пороговом уровне сформированы: все составляющие; одна или две из трёх, остальные – на более высоком уровне;
- средний уровень: на среднем уровне сформированы: все составляющие; одна или две из трёх, остальные – на более высоком уровне;
- продвинутый уровень: на продвинутом уровне сформированы: все составляющие; одна или две из трёх, остальные – на высоком уровне;
- высокий уровень: на высоком уровне сформированы все составляющие компетенций.

4.2 Вопросы к экзамену и пример экзаменационного билета

Учебным планом экзамен по дисциплине не запланирован.

4.3 Критерии оценивания

Оценивание уровня освоения студентом учебного материала дисциплины производится в ходе текущего контроля.

Текущий контроль знаний студента осуществляется по результатам выполнения и защиты лабораторных работ (для очной формы обучения) и выполнения контрольной работы (для заочной формы обучения).

Распределение баллов текущего контроля работы студента на протяжении семестра приведено в таблице 1.

Таблица 1 – Распределение баллов текущего контроля

Форма контроля	Возможное количество баллов	Примечание
Для студентов очной формы обучения		
Отчёт о выполнении задания на отчёт по лабораторной работе	10	Задание выполнено правильно, проектные решения обоснованы, приведен анализ полученного результата
	5	Задание выполнено в целом правильно, проектные решения не всегда обоснованы, возникли трудности в объяснении полученных результатов
Ответы на контрольные вопросы к лабораторной работе	4	На все вопросы отвечал правильно. Допускал незначительные неточности
	2	Ответил правильно на половину вопросов
Итого по лабораторным работам (максимально возможное)	100	Из расчёта 17 аудиторных занятий для проведения лабораторных работ. Оценивается каждое занятие.
ИТОГО:	100	Максимально возможное
Для студентов заочной формы обучения		
Выполнение кон-	100	При выполнении задания приняты пра-

Форма контроля	Возможное количество баллов	Примечание
контрольной работы (индивидуального задания)		верные проектные решения, изложение материала аргументированное, последовательное, работа оформлена без замечаний
	60	Задание выполнено в целом правильно, но проектные решения не всегда обоснованы, имеются замечания по оформлению.
ИТОГО:	100	Максимально возможное

Итоговая оценка определяется путем суммирования количества баллов по результатам текущего. **Максимально возможное количество баллов – 100.**

Полученная оценка по 100-балльной шкале определяет оценку по государственной шкале и шкале ECTS:

Сумма баллов по 100-балльной шкале	Оценка по шкале ECTS	Оценка по государственной шкале
90-100	A	Зачтено
80-89	B	Зачтено
75-79	C	
70-74	D	Зачтено
60-69	E	
35-59	FX	Не зачтено
0-34	F*	

* – с обязательным повторным изучением дисциплины.

4.4 Пример текущего опроса на практических (семинарских) занятиях и лабораторных работах

На примере темы «Моделирование задержек сигнала»:

1. Какие вы знаете типы задержек ?
2. Какое назначение механизма задержек ?
3. Синтаксис механизма задержек ?
4. Какие простые операторы назначения сигнала вы знаете ?
5. В чем разница между параллельным и последовательным оператором назначения сигнала ?
6. Как достичь эквивалентности между параллельным и последовательным операторами назначения сигнала ?

4.5 Курсовое проектирование

Курсовой проект (работа) и индивидуальные задания для очной формы обучения по дисциплине учебным планом не предусмотрены.

5 РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

I Основная литература

1. Язык VHDL в проектировании микроэлектронных устройств: учебно-методическое пособие [Электронный ресурс] / сост. О.В. Дрозд, Д.В. Капулин. — Электрон. дан. — Красноярск: Сиб. федер. ун-т, 2017. — 161 с. — Систем. требования: PC не ниже класса Pentium I; 128 Mb RAM; Windows 98/XP/7/8/10; Adobe Reader V8.0 и выше. <http://ed.donntu.org/books/20/cd10172.pdf>

2. Разработка и прототипирование цифровых устройств на языках **VHDL** и **Verilog**: учебно-методическое пособие / В. Ф. Барабанов, Н. И. Гребенникова, Д. Н. Донских, С. А. Коваленко. — Воронеж : Воронежский государственный технический университет, ЭБС АСВ, 2018. — 84 с. — ISBN 978-5-7731-0709-5. — Текст : электронный // Электронно-библиотечная система **IPR BOOKS** : [сайт]. — URL: <http://www.iprbookshop.ru/93285.html> (дата обращения: 30.12.2019). — Режим доступа: для авторизир. пользователей

3. Бибило, П. Н. Основы языка **VHDL** / П. Н. Бибило. — Москва : СОЛОН-Р, 2016. — 200 с. — ISBN 5-93455-056-X. — Текст : электронный // Электронно-библиотечная система **IPR BOOKS** : [сайт]. — URL: <http://www.iprbookshop.ru/90427.html> (дата обращения: 30.12.2019). — Режим доступа: для авторизир. пользователей

4. Сперанский, Д. В. Моделирование, тестирование и диагностика цифровых устройств : учебное пособие / Д. В. Сперанский, Ю. А. Скобцов, В. Ю. Скобцов. — 3-е изд. — Москва : Интернет-Университет Информационных Технологий (ИНТУИТ), Ай Пи Ар Медиа, 2020. — 529 с. — ISBN 978-5-4497-0551-8. — Текст : электронный // Электронно-библиотечная система **IPR BOOKS** : [сайт]. — URL: <http://www.iprbookshop.ru/94854.html> (дата обращения: 30.12.2019). — Режим доступа: для авторизир. пользователей

II Дополнительная литература

5. Бибило, П. Н. **VHDL**. Эффективное использование при проектировании цифровых систем / П. Н. Бибило, Н. А. Авдеев. — Москва : СОЛОН-ПРЕСС, 2017. — 342 с. — ISBN 5-98003-293-2. — Текст : электронный // Электронно-библиотечная система **IPR BOOKS**: [сайт]. — URL: <http://www.iprbookshop.ru/90406.html>. — Режим доступа: для авторизир. пользователей

6. Перельройзен, Е. З. Проектируем на **VHDL** / Е. З. Перельройзен. — Москва: СОЛОН-Пресс, 2016. — 448 с. — ISBN 5-98003-113-8. — Текст : электронный // Электронно-библиотечная система **IPR BOOKS** : [сайт]. — URL: <http://www.iprbookshop.ru/90308.html>. — Режим доступа: для авторизир. пользователей

7. Поляков, А. К. Языки **VHDL** и **VERILOG** в проектировании цифровой аппаратуры / А. К. Поляков. — Москва : СОЛОН-Пресс, 2016. — 314 с. — ISBN 5-98003-016-6. — Текст : электронный // Электронно-библиотечная система **IPR**

6 УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Учебно-методические издания, разработанные в ДонНТУ:

8. Методические указания для выполнения лабораторных работ по курсу «Технологии проектирования и тестирования цифровых устройств КС на базе HDL» [Электронный ресурс]: / Сост.: Ю.Е. Зинченко. - Донецк: ДонНТУ, 2020 (доступ через личный кабинет студента).

9. Методические указания к выполнению индивидуального задания по курсу «Технологии проектирования и тестирования цифровых устройств КС на базе HDL» [Электронный ресурс]: для студентов заочной формы обучения/ Сост.: Ю.Е. Зинченко. - Донецк: ДонНТУ, 2020 (доступ через личный кабинет студента).

10. Методические указания к организации самостоятельной работы [Электронный ресурс]: для студентов уровня профессионального образования «бакалавр» и «магистр» направлений подготовки : 09.04.01 «Информатика и вычислительная техника», 09.04.02 «Информационные системы и технологии» всех форм обучения / ГОУВПО «ДОННТУ», каф. Автоматизированных систем управления; сост.: С.Ю. Землянская, В.А. Светличная, А.И. Воронова, Е.А. Шуватова. – Электрон. дан. (1 файл: 667 Кб). – Донецк : ДОННТУ, 2020. – Систем. требования: Acrobat Reader. (доступ через личный кабинет студента).

Электронно-информационные ресурсы

1. ЭБС ДОННТУ – <http://donntu.org/library>.
2. Сайт компании [ALDEC, Inc., США](#).
3. Сайт компании [Xilinx, Inc., США](#).
4. Сайт компании [Intel, Inc., США](#).
5. Сайт лаборатории ДонНТУ [«FPGA-технологии проектирования и диагностика КС»](#).

7 МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

7.1 Лекционные занятия:

Учебная аудитория № 4.014 учебный корпус 4 для проведения занятий лекционного типа, лабораторных занятий, групповых и индивидуальных консультаций, текущего контроля, презентационная техника: проектор, компьютер, ноутбук, ПО общего назначения: ОС Windows, Microsoft office, Visual studio, специализированное ПО: САПР Active-HDL, САПР Xilinx ISE, САПР Altera Quartus, собственная система тестирования знаний Advance Testig Package (ATP) с комплектами тестов по языкам VHDL, Verilog, C++

7.2 Лабораторные работы:

Учебная аудитория № 4.014 учебный корпус 4 для проведения занятий лекционного типа, лабораторных занятий, групповых и индивидуальных консультаций, текущего контроля, презентационная техника: проектор, компьютер, ноутбук, ПО общего назначения: ОС Windows, Microsoft office, Visual studio, специализированное ПО: САПР Active-HDL, САПР Xilinx ISE, САПР Altera Quartus, собственная система тестирования знаний Advance Testig Package (ATP) с комплектами тестов по языкам VHDL, Verilog, C++

7.3 Курсовое проектирование – курсовое проектирование учебным планом по дисциплине не запланировано

7.4 Самостоятельная работа.

Помещения для самостоятельной работы с возможностью подключения к сети "Интернет" и обеспечением доступа в электронную информационно-образовательную среду организации: читальные залы, учебные корпуса 2, 3 (Компьютерная техника с возможностью подключения к сети «Интернет» и обеспечением доступа в электронную информационно-образовательную среду (ЭИОС ДОННТУ) и электронно-библиотечную систему (ЭБС IPRbooks), а также возможностью индивидуального неограниченного доступа обучающихся в ЭБС и ЭИОС посредством Wi-Fi с персональных мобильных устройств. ОС - Microsoft Windows 7, OpenOffice 2.0.3 – общественная лицензия MPL 2.0/ Grub loader for ALT Linux - лицензия GNU LGPL v3/ Mozilla Firefox - лицензия MPL2.0, Moodle (Modular Object-Oriented Dynamic Learning Environment) - лицензия GNU GPL.