

ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ  
«ДОНЕЦКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

УТВЕРЖДАЮ:

Проректор по научно-педагогической работе



*А.Б. Буряков*  
И.О. Фамилия

20\_\_ года

**РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ**  
**МОДЕЛИРОВАНИЕ ЦИФРОВЫХ УЗЛОВ КОМПЬЮТЕРНЫХ СИСТЕМ**  
(наименование дисциплины согласно учебному плану)

Направление (специальность)  
подготовки:

09.03.01 «Информатика и вычислительная техника (ИВТ)»

(код и наименование направления / специальности)

Направленность:

«Вычислительные машины, комплексы, системы и сети (КС)»

(наименование профиля / магистерской программы / специализации)

Программа:

бакалавриат

(бакалавриат, магистратура, специалитет)

Форма обучения:

очная, заочная

(очная, заочная, очно-заочная)

Форма обучения:	Очная	Заочная
Семестр(ы)	4	5
Общая трудоёмкость в з.е./часах	5,5/198	5,5/198
Аудиторные занятия (час.), в том числе	85	10
Лекции (час.)	34	4
Практические (семинарские) занятия (час.)	17	4
Лабораторные работы (час.)	34	2
Самостоятельная работа (час.), в том числе	80	152
Курсовой проект (работа) (семестр/час.)	4(36 час.)	5(36 час.)
Индивидуальное задание (кол./час.)		
Форма промежуточной аттестации (экзамен(зачёт), час.)	экзамен, 33	экзамен, 36

Донецк, 2019 г.

Рабочая программа дисциплины «Моделирование цифровых узлов компьютерных систем» составлена в соответствии с учебным планом по направлению подготовки 09.03.01 «Информатика и вычислительная техника», профиль подготовки «Программное обеспечение средств вычислительной техники» для 2018 года приёма.

Составитель: Зинченко Ю.Е., к.т.н., доцент кафедры «Компьютерная инженерия».

Рабочая программа **рассмотрена и принята** на заседании выпускающей кафедры компьютерной инженерии.

Протокол от « 30 » 08 20 19 года № 1

Заведующий кафедрой \_\_\_\_\_ Аноприенко А.Я.  
(подпись)

Рабочая программа **одобрена учебно-методической комиссией** ДонНТУ по направлению подготовки «Информатика и вычислительная техника»

Протокол от « 30 » 08 20 19 года № 1

Председатель \_\_\_\_\_ Аноприенко А.Я.  
(подпись)

Рабочая программа **продлена** для 20\_\_ года приёма на заседании кафедры «Компьютерная инженерия».

Протокол от « 30 » 08 20 19 года № 1

Заведующий кафедрой \_\_\_\_\_  
(подпись) (Ф.И.О.)

Согласовано с выпускающей кафедрой «Компьютерная инженерия».  
Заведующий кафедрой \_\_\_\_\_  
(подпись) (Ф.И.О.)

Рабочая программа **продлена** для 20\_\_ года приёма на заседании кафедры «Компьютерная инженерия».

Протокол от « \_\_\_\_\_ » \_\_\_\_\_ 20\_\_ года № \_\_\_\_\_

Заведующий кафедрой \_\_\_\_\_  
(подпись) (Ф.И.О.)

Согласовано с выпускающей кафедрой «Компьютерная инженерия».  
Заведующий кафедрой \_\_\_\_\_  
(подпись) (Ф.И.О.)

## 1. ОБЪЕКТ, ЦЕЛЬ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Дисциплина рассматривает вопросы моделирования цифровых узлов компьютерных систем (КС), ориентированных на реализацию на базе программируемых логических интегральных схем.

Целью дисциплины является: ознакомление студентов с принципами и методами моделирования цифровых устройств (ЦУ) КС на основе языков описания, программирования и моделирования аппаратуры.

В результате освоения дисциплины студент должен знать:

- архитектуру и особенности организации КС в различных областях применения (автомобильная, авиационная, бытовая, медицинская техника, мобильные устройства и др.), место и особенности использования в них FPGA;
  - принцип построения и функционирования программируемых логических интегральных схем (ПЛИС, FPGA), языки описания аппаратуры (ЯОА, HDL) и их использование при проектировании КС,
  - процесс поведенческого моделирования, фирмы-производители FPGA и фирмы-разработчики САПР КС, процесс проектирования КС на базе HDL- и FPGA-технологий;
  - концепцию процесса и сигнала в VHDL, типы и способы моделирования задержек сигнала, процесс потокового стиля моделирования ЦУ на VHDL;
  - основные VHDL-конструкции, структуру модели ЦУ на VHDL; блоки и охранные сигналы, структурный стиль моделирования ЦУ на VHDL; testbench – генераторы (ТБГ) и процесс отладки VHDL-моделей ЦУ на их основе;
  - поведенческий стиль моделирования ЦУ на VHDL; переменные и сигналы в процессе, операторы управления;
  - подпрограммы в моделях ЦУ на VHDL.
  - объекты и типы данных в моделях ЦУ на VHDL, дискретные и композитные типы данных, реализацию арифметических, логических и других операций в моделях ЦУ на VHDL.
  - металогический базис и многозначную логику и их реализацию в поведенческой VHDL-модели ЦУ;
  - методику верификации поведенческой VHDL-модели ЦУ КС в САПР.
- уметь:

- создавать поведенческую HDL-модель проектируемого ЦУ ВКС на VHDL;
- строить ТБГ и выполнять моделирование и верификацию поведенческую HDL-модели;

Перечисленные результаты обучения являются основой для формирования следующих компетенций:

ОК-1, ОК-2, ОК-3, ОК-6, ОК-7, ОПК-1, ОПК-2, ОПК-3, ОПК-4, ПК-3, ПК-6, ПК-8, ПК-9, ПК-12.

## 2. МЕСТО ДИСЦИПЛИНЫ В ОСНОВНОЙ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЕ

Дисциплина относится к циклу «Дисциплины по выбору студента, профессиональный цикл» вариативной части учебного плана.

Базируется на знаниях и умениях, которые студент приобрел при освоении предшествующих дисциплин:

- Введение в специальность;
- компьютерная электроника;
- компьютерная логика;
- арифметико-логические основы цифровых автоматов;
- конструирование компьютерных систем.

Знания и умения, приобретенные при освоении данной дисциплины, реализуются студентом при выполнении курсового проекта по дисциплинам (архитектура компьютеров, системы контролепригодного проектирования, изучении последующих дисциплин (разработка и анализ тестов КС, HDL-, FPGA-технологии проектирования КС), прохождении учебной и/или производственной практики, прохождении государственной итоговой аттестации.

## 3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

### 3.1. Распределение учебных часов по темам дисциплины и видам занятий

Наименование тем (содержательных модулей)	Количество часов (очная/очно-заочная/заочная форма)				
	Всего	В том числе			
		Лекции	Практ. (сем.)	Лабор.	СРС
Тема 1. ПЛИС и ЯОА		2			2
Тема 2. Концепция процесса в VHDL		2		1	2
Тема 3. Концепция сигнала в VHDL		2		1	2
Тема 4. Моделирование задержек сигнала		2		2	4
Тема 5. Поточковый стиль моделирования ЦУ на VHDL		2	1	2	4
Тема 6. Блоки и охранные сигналы в VHDL		2			4
Тема 7. Структурный стиль моделирования ЦУ на VHDL		2	3	4	12
Тема 8. Отладка VHDL-моделей ЦУ на базе ТБГ		2	2	4	6
Тема 9. Поведенческий стиль моделирования ЦУ на VHDL		2	3	4	12

Тема 10. Переменные и сигналы в процессе		2		2	4
Тема 11. Операторы управления		2	2	2	4
Тема 12. Подпрограммы в моделях ЦУ на VHDL		2	2	2	6
Тема 13. Объекты и типы данных в моделях ЦУ на VHDL		2			4
Тема 14. Дискретные данные в моделях ЦУ на VHDL		2		2	4
Тема 15. Композитные типы данных в моделях ЦУ на VHDL		2	2	2	4
Тема 16. Операции в моделях ЦУ на VHDL		2		2	4
Тема 17. Сочетание схемотехнического, автоматного и языкового подходов проектирования ЦУ КС		2	2	4	4
Итого:		34	17	34	80

### 3.2. Лекции

#### Тема 1. ПЛИС и ЯОА.

Классификация БИС. Стандартные и специализированные БИС. Программируемые логические интегральные схемы (ПЛИС). Классификация ПЛИС. FPGA и CPLD. ЯОА (HDL) - языки описания аппаратуры. Классификация МОА. Стандарты IEEE на МОА. VHDL, Verilog-HDL и Altera-HDL, их характеристика и история создания. Функции ЯОА. HDL&FPGA-технологии проектирования цифровых устройств и систем. Основные этапы проектирования. поведенческое моделирование, синтез и реализация проектов на ПЛИС. Отладка проектов и тест-бенч-генераторы. Фирмы-изготовители ПЛИС и фирмы-разработчики САПР вычислительной техники (ВТ). Процесс проектирования КС на базе HDL & FPGA-технологий.

Литература к теме 1: [1-19]

#### Тема 2. Концепция процесса в VHDL.

Процессы и их взаимодействие. Список чувствительности процесса. Сигнал как частный случай процесса. Итерации и циклы, итерационный алгоритм работы VHDL-программы. Физическое время и  $\Delta$ -задержка. Моделирование процессов без и с учетом задержек. Стадии процессов.

Литература к теме 2: [9, 14-16]

#### Тема 3. Концепция сигнала в VHDL.

Разновидности сигналов и их описание. Драйвер сигнала. Многозначная логика. 9-тизначный логика и функция разрешения сигнала, заложенная в пакете SDT\_logic\_1164. Разрешенная (resolved) и неразрешенная (unresolved) логика. Отключение драйвера. Программирование 3-х стабильных, двунаправленных цепей. Зона действия сигналов. Отличие сигнала от переменной.

Литература к теме 3: [1,2,8-9,11,15-16]

#### **Тема 4. Моделирование задержек сигнала.**

Типы задержек сигнала. Задание значения сигнала и разновидности задержек сигнала. Транспортная, инерционная и инерционная с фильтрацией разновидности задержек. Особенности формирования драйверов сигнала. Обусловленные атрибуты сигнала. Параллельный и последовательный разновидности простого оператора назначения сигнала (Simple\_SA), особенности их работы и отличие. Особенности формирования драйвера сигнала в процессе. Изначально заданные атрибуты сигнала.

Литература к теме 4: [9, 14-16]

#### **Тема 5. Поточковый стиль моделирования ЦУ на VHDL.**

Уровни моделирования и области проектирования. Модель Гайского и Кана (Gajski и Kuhn). Архитектурно-ориентированные и МОА-ориентированные формы изображения проектов. Стили VHDL-программирования. Управляющий граф, граф данных и смешанный граф изображения проектов. Поточковый стиль и его отличие от других стилей. Граф данных как формальное изображения проекта при потоковом стиле. Последовательный и параллельные операторы назначения сигнала. Взаимосвязь операторов назначения сигнала с последовательными операторами управления.

Литература к теме 5: [14-16]

#### **Тема 6. Блоки и охранные сигналы в VHDL.**

Определение блока. Назначение и область действия блоков. Блоки и охранные сигналы. Структура поточной VHDL-программы в общем виде. Формальные признаки отличия потокового стиля от других стилей.

Литература к теме 6: [16]

#### **Тема 7. Структурный стиль моделирования ЦУ на VHDL.**

Структурный стиль и его отличие от других стилей. Схемные элементы и компоненты. Описание и использование компонентов. Оператор вхождения компонента (port map). Способы конфигурации устройства. Конфигурация по умолчанию. Использование пакетов при описании компонент. Конфигурация с использованием оператора спецификации конфигурации (for use). Программирование регулярных структур с использованием оператора generate. Разновидности оператора generate. Конфигурация проекта с использованием конструкции configuration. Параметризация проекта. Способы параметризации. Параметризация с использованием операторов port map и generic map. Синтаксис оператора port map в общем виде. Параметризация с использованием оператора for use. Синтаксис оператора for use в общем виде. Шаблон структурной VHDL-программы в общем виде. Формальные признаки отличия структурного стиля от других стилей.

Литература к теме 7: [9, 14-16]

#### **Тема 8. Отладка VHDL-моделей ЦУ на базе Testbench.**

Верификация проектов. Использование тестбенч-генератора (ТБГ) для верификации и отладки. Обобщенная структура ТБГ. Разновидности ТБГ. ТБГ типа on-line. ТБГ типа off-line. Адаптивный ТБГ. Способы генерации тестовых воздействий в ТБГ. Способы анализа тестовых реакций в ТБГ. Программирование ТБГ в VHDL. Использование ТБГ на этапах проектирования. Использование и разновидности ТБГ в САПР

Литература к теме 8: [9, 14-17]

## **Тема 9. Поведенческий стиль моделирования ЦУ на VHDL.**

Классификация VHDL-операторов по признаку параллелизма. Сравнительная характеристика последовательных и параллельных VHDL-операторов. Поведенческий стиль и его отличие от других стилей. Оператор процесса. Список чувствительности процесса и оператор wait. Разновидности оператора wait. Взаимодействие процессов. Структура поведенческой VHDL-программы. Пассивный процесс и структура entity. Формальные признаки отличия поведенческого стиля от других стилей.

Литература к теме 9: [9, 14-19]

## **Тема 10. Переменные и сигналы в процессе.**

Переменная в VHDL, ее описание и использование в VHDL. Локальная и глобальная (shared) переменная и зона их действия. Использование сигналов в процессе. Последовательный оператор назначения сигнала, его использование в процессе и отличие от параллельного аналога. Отличие переменных от сигналов.

Литература к теме 10: [9, 14-16]

## **Тема 11. Операторы управления.**

Последовательные операторы. Операторы управления. Аналоги операторов управления среди параллельных операторов.

Литература к теме 11: [9, 14-16]

## **Тема 12. Подпрограммы в моделях ЦУ на VHDL.**

Назначение подпрограмм. Функции и процедуры. Определение подпрограмм. Формальные и фактические параметры подпрограмм, их типы и значения по умолчанию. Переменная в подпрограмме и процессе. Тело подпрограмм. Декларация подпрограмм. Использование пакетов для декларации подпрограмм. Последовательные и параллельные подпрограммы, принцип и зона их действия. Функции типа перегрузки операторов. Зона действия подпрограмм. Последовательные и параллельные операторы вызова подпрограмм. Отличие функций от процедур.

Литература к теме 12: [9, 14-16]

## **Тема 13. Объекты и типы данных в моделях ЦУ на VHDL.**

Объекты данных. Имена в VHDL. Типы и подтипы данных. Декларация типов и подтипов. Пакеты и их части. Декларация констант и переменных в пакете. Декларация подпрограмм в пакете. Подключение пакетов. Пакет SDT\_LOGIC\_1164. Обусловленные и пользовательские типы данных.

Литература к теме 13: [9, 14-16]

## **Тема 14. Дискретные данные в моделях ЦУ на VHDL.**

Классификация данных VHDL. Дискретные данные. Целочисленные и вещественные числа. Положительные и натуральные числа. Целочисленные и действительные литералы. Задание системы счисления и диапазона целочисленного и действительного числа. Перечисленный тип. Числа с плавающей запятой. Физический тип данных в VHDL. Физический тип и допустимые операции над физическими данными. Тип time.

Литература к теме 14: [9, 14-16]

### Тема 15. Композитные типы данных в моделях ЦУ на VHDL.

Массивы. Задача размерности массива. Битовые и строчные массивы. Конструируемые массивы. Записи. Имена в VHDL: простое, индексное, селективное, врезка. Файлы.

Литература к теме 15: [9, 14-16]

### Тема 16. Операции в моделях ЦУ на VHDL.

Бинарные и унарные выражения. Знаковые и аддитивные операции. Мультипликативные и смешанные операции. Операции сравнения. Логические операции и операции сдвига. Функции в VHDL. Функции преобразования данных.

Литература к теме 16: [9, 14-16]

## 3.3. Практические (семинарские) занятия

№ п/п	Тема занятия	Объем, час. очн/заочн	Литература
1	Знакомство с САПР Active-HDL	1	[13,17]
2	Работа с графическим редактором САПР Active-HDL	2	[13,17]
4	Моделирование ЦУ в САПР Active-HDL	2	[13,15-17]
3	Работа с редактором VHDL САПР Active-HDL	2	[13,16,17]
2	Справочник VHDL, встроенный в Active-HDL	2	[13,16,17]
5	Работа с ТБГ, встроенными в САПР Active-HDL	2	[13,14-17]
6	Отладка VHDL-кода в САПР Active-HDL	2	[13,16,17]
7	Работа с редактором автоматов САПР Active-HDL	2	[13,15,17]
8	Макропрограммирование в САПР Active-HDL	2	[13,15,17]
Итого:		17	

## 3.4. Лабораторные работы

№ п/п	Тема работы	Объем, час. очн/ заочн	Литература
1	Разработка преобразователя кодов на VHDL	4/2	[13-17]
2	Моделирование VHDL-сигналов	2	[13-17]
3	Потоковый стиль VHDL-проектирования и моделирования комбинационных схем ЦУ	2	[13-17]
4	Программирование и моделирование триггерных и регистровых схем ЦУ на базе поведенческого стиля	6	[13-17]
5	Программирование и моделирование триггерных и регистровых схем ЦУ на базе структурного стиля	6	[13-17]
6	Построение Testbench-генератора на базе псевдослучайного тестирования	6	[13-17]
7	Проектирование и моделирование арифметического устройства путем сочетания схемотехни-	8	

	ческого, автоматного и языкового подходов проектирования		
Итого:		34	

### 3.5. Самостоятельная работа студента

№ п/п	Виды самостоятельной работы студента	Объем, час.
1	Изучение лекционного материала (не менее 50% от объема лекций)	22/57
2	Подготовка к практическим занятиям (не менее 50% от объема аудиторных практических занятий)	-
3	Подготовка к лабораторным работам (не менее 50% от объема аудиторных лабораторных занятий)	22/57
4	Выполнение курсового проекта (36 часов)	36/36
Итого:		80/150

### 3.6. Курсовой проект (работа), индивидуальное задание

Курсовой проект по дисциплине выполняется на тему «Разработка специализированного устройства обработки целочисленных данных».

*Рекомендуемый объем пояснительной записки курсового проекта – не более 50 страниц формата А4 (210×297 мм).*

Задание на курсовое проектирование направлено на подготовку в области разработки функциональных блоков и устройств цифровой техники (арифметико-логические устройства, устройства управления). При этом предусматривается закрепление навыков анализа и синтеза с применением основных положений алгебры логики и теории конечных автоматов. Проверка работы схемы осуществляется путем моделирования в среде моделирования MicroCAP. Требуется разработать структурную схему вычислительного устройства, перейти к принципиальной схеме.

## 4. ФОРМЫ КОНТРОЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

**Текущий контроль** знаний студентов производится по результатам выполнения лабораторных работ, во время контрольных опросов в ходе проведения практических занятий.

**Промежуточная аттестация** по результатам освоения дисциплины в семестре проводится в форме семестрового экзамена в соответствии с «Положением об организации учебного процесса в Донецком национальном техническом университете (новая редакция)», утвержденном 25.11.2016 года, протокол №8.

Для определения уровня знаний студентов преподаватель руководствуется критериями оценки знаний, являющимися составляющей учебно-методического комплекса дисциплины.

## 5. УЧЕБНО-МЕТОДИЧЕСКИЕ МАТЕРИАЛЫ ПО ДИСЦИПЛИНЕ

1. Микушин, А.В. Цифровые устройства и микропроцессоры : учебное пособие для вузов / А. В. Микушин [и др.]. - СПб. : БХВ-Петербург, 2010. - 832с. : ил. – 1 экз.
2. Лехин, С. Н. Схемотехника ЭВМ : учебное пособие для вузов / Лехин С.Н. - СПб. : БХВ-Петербург, 2010. - 672с. : ил. – 2 экз.
3. Хорошевский, В.Г. Архитектура вычислительных систем : учебное пособие для вузов / В. Г. Хорошевский. - Изд. 2-е, перераб. и доп. - М. : Изд-во МГТУ им. Н.Э. Баумана, 2008. - 520с. – 10 экз.
4. Гуров, В.В. Архитектура микропроцессоров : учебное пособие для вузов / В. В. Гуров. - М. : Интернет-Ун-т Информ. Технологий: БИНОМ. Лаборатория знаний, 2010. - 272с. : ил. – 1 экз.
5. Аноприенко, А.Я. Постбинарный компьютеринг и интервальные вычисления в контексте кодо-логической эволюции : монография / А. Я. Аноприенко [и др.]; ДонНТУ. - Донецк : УНИТЕХ, 2011. - 248с. – 4 экз.
6. Аноприенко, А.Я. Тетралогики, тетравычисления и ноокомпьютеринг: исследования 2010-2012: монография / А. Я. Аноприенко [и др.]; ГВУЗ "ДонНТУ". - Донецк : УНИТЕХ, 2012. - 308с. – 1 экз.

### Электронные образовательные ресурсы:

7. Бутусов О.Б. Современные компьютерные технологии [Электронный ресурс] : учебное пособие для вузов / О.Б. Бутусов, Н.И. Редикульцева ; ФГБОУ ВПО "Моск. гос. машиностр. ун-т", Мех.-технол. фак., каф. прикл. математики. - 1 Мб. - Москва : Ун-т машиностроения, 2015. - 1 файл. - Систем. требования: Acrobat Reader.
8. Безуглов Д.А. Цифровые устройства и микропроцессоры [Электронный ресурс]. - 19 Мб, 2008. - 1 файл. - Систем. требования: Acrobat Reader.
9. Угрюмов Е.П. Цифровая схемотехника [Электронный ресурс]. - 50 Мб, 2010. - 1 файл. - Систем. требования: Acrobat Reader.
10. Бубнов А.В. Аналоговая и цифровая схемотехника [Электронный ресурс]. - 3 Мб, 2010. - 1 файл. - Систем. требования: Acrobat Reader.
11. Потехин В.А. Схемотехника цифровых устройств [Электронный ресурс]. - 7 Мб, 2012. - 1 файл. - Систем. требования: Acrobat Reader.
12. Харрис Д.М. Цифровая схемотехника и архитектура компьютера [Электронный ресурс]. - 38 Мб, 2013. - 1 файл. - Систем. требования: Acrobat Reader.
13. Методические указания для выполнения лабораторных работ по курсу «Моделирование КС на HDL» / Сост.: Ю.Е. Зинченко. - Донецк: ДонНТУ, 2010 (на электронном носителе).
14. Конспект лекций по курсу «Моделирование КС на HDL» / Сост.: Ю.Е. Зинченко. - Донецк: ДонНТУ, 2010 (на электронном носителе).

### **Internet-ресурсы:**

15. Bernard P. Zeigler, University of Arizona Theory of Modeling and Simulation [электронный ресурс], доступ: <http://scitechconnect.elsevier.com/theory-of-modeling-and-simulation>. - Систем. требования: Web Browser.
16. Peter J. Ashenden. The designer's Guide to VHDL [электронный ресурс], доступ: <http://scitechconnect.elsevier.com/theory-of-modeling-and-simulation>. - Систем. требования: Web Browser.
17. Сайт компании [ALDEC, Inc., США](#).
18. Сайт компании [Xilinx, Inc., США](#).
19. Сайт компании [Intel, Inc., США](#).
20. Сайт лаборатории ДонНТУ «FPGA-технологии проектирования и диагностика КС».

## 6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

### 1. Лекционные занятия:

- презентационная техника: проектор, компьютер, ноутбук;
- комплект электронных презентаций/слайдов по курсу «Моделирование цифровых узлов компьютерных систем»;
- конспект лекций по курсу в электронном виде.

### 2. Практические занятия:

- компьютерный класс;
- презентационная техника: проектор, компьютер, ноутбук;
- ПО общего назначения: ОС Windows, Microsoft office, Visual studio;
- специализированное ПО: САПР Active-HDL, САПР Xilinx ISE, САПР Altera Quartus.
- собственная система тестирования знаний Advance Testig Package (ATP) с комплектами тестов по языкам VHDL, Verilog, C++;
- методические указания к СРС в электронном виде.

### 3. Лабораторные работы:

- лаборатория 4.14 «FPGA-технологии проектирования и диагностика КС» оснащенная ПК, FPGA-комплексами;
- гипертекстовые методические указания по курсу;
- шаблоны отчетов по лабораторным работам.

Составитель рабочей программы:

  
(подпись)

Зинченко Ю.Е.